

## TITLE OF THE INVENTION

可変利得アンプ、固体撮像装置及び光信号読み出し方法

## BACKGROUND OF THE INVENTION

### 1. Field of the Invention

本発明は、入力信号のレベルに応じて利得調整が可能な可変利得アンプと、ビデオカメラ、電子カメラ、画像入力カメラ、スキャナ又はファクシミリ等に用いられる、光信号をデジタル信号に変換して出力する固体撮像装置及び光信号読み出し方法に関する。

### 2. Description of the Prior Art

CCD型イメージセンサやMOS型イメージセンサなどの半導体イメージセンサは量産性に優れているため、パターンの微細化技術の進展に伴い、多くの画像入力デバイス装置に適用されている。

特に、近年、CCD型イメージセンサと比べて、消費電力が小さく、かつセンサ素子と周辺回路素子とを同じCMOS技術によって作成できるという利点を有することから、CMOS型イメージセンサが注目されている。

そのようなCMOS型イメージセンサが米国特許6,128,039に記載されている。この米国特許6,128,039のCMOS型イメージセンサは、所謂アクティブピクセルセンサと呼ばれている。米国特許6,128,039から転記したFig.1に示すように、定電流源M4等の能動負荷との組み合わせで、ソースフォロアにより信号電圧を出力させている。

米国特許6,128,039のCMOS型イメージセンサでは、信号電荷蓄積用の負荷容量C1及び読み出しトランジスタM2のゲート-ソース間容量CgsがM2のゲートに直列に接続される。これらの容量は、電荷/電圧変換の固定容量に並列に入ったことになり、見かけ上の電荷/電圧変換の固定容量を変化させる。また、M2のソースに接続されたC1が充電されることで信号読み出しの間にM2のソース電位は大きく変化する。この電位変化はM2のCgsを通してM2のゲートに帰還されるので、入力電位も変化し、伝達特性の線形性を著しく損なう。このために、このCMOS型イメージセンサでは読み出しトランジスタM2の負荷と

しての定電流源M4は不可避であった。

また、近年、イメージセンサには積分方式コラム型アナログ／デジタル変換器（以下、コラム型ADCと称する。）が搭載されるようになっている。そのコラム型ADCにおいては、コンパレータによりアナログ信号である光電気信号を所定の勾配を有する比較ランプ電圧と比較し、パルスカウンタにより光電気信号の大きさに対応するパルス計数値に変換する。

その場合、アナログ信号が小さいときには比較ランプ電圧の勾配も小さくしてダイナミックレンジを確保している。

さらに、多数の単位画素を水平方向及び垂直方向に配列した固体撮像装置では、動画再生時にサンプリング画素を間引きして残りの画素の検出信号のみを出力させ、フレームレートを増加させるようにしている。

しかしながら、列毎に定電流源M4を備えたイメージセンサでは、定電流源M4が個々に特性のばらつきを持つため、列毎に利得のばらつきを生じる。そのばらつきが列単位のオフセット差として現れ、画面で見たときに所謂縦の固定パターンノイズとなって現れる。

また、従来のイメージセンサから出力した信号電圧をコラム型ADCに入力させる場合、小さいアナログ信号に対応して比較ランプ電圧の勾配を小さくする。この場合、ランプ信号の線形性やコンパレータの比較精度により、及び光電変換素子等に生じるオフセット電圧の影響により、S/N比が制限される。

更に、従来のイメージセンサでサンプリング画素を間引きすると、MTF (Modulation Transfer Function : 解像力) が劣化し、モアレの多い画像になる。また、サンプリングを間引きしたため、サンプリング画素間隔の逆数に比例するサンプリング周波数の2倍以下に低下すると、そのため折り返しノイズが発生する虞がある。さらに、画素数に応じて高速にイメージセンサを動作させる必要があるため、消費電力が大きくなってしまう。

### SUMMARY OF THE INVENTION

本発明は、上記従来技術の問題点に鑑みて発明されたものであり、光電気信号をデジタル化するに際して、ダイナミックレンジの向上を図りつつ、S/N比の向上を図る

ことができる可変利得アンプ、固体撮像装置及び光信号読み出し方法を提供することを目的とする。

また、固定パターンノイズを低減し、さらに、サンプリング画素の間引きを行って低消費電力動作を維持しつつ、解像力の低下や折り返しノイズの発生を抑制することができる固体撮像装置及び光信号読み出し方法を提供することを目的とする。

本発明の可変利得アンプは、第1の信号電圧と、第2の信号電圧とを逐次入力することにより、第1の信号電圧及び第2の信号電圧を電荷に変換して、第1の信号電圧と第2の信号電圧との差信号を生成し、かつ差信号がデジタル符号化アナログ入力レベルの範囲内に入るような利得で差信号を増幅して出力することを特徴としている。

可変利得アンプは、所謂チョッパ型スイッチトキャパシタ型積分回路からなる。チョッパ型スイッチトキャパシタ型積分回路は、例えば、Fig.2に例示するように、参照電圧  $V_{ref}$  が印加される正入力端子 (+)、負入力端子 (-) 及び出力端子を有する演算増幅器 3 1 を備える。また、可変利得アンプ 105a の入力端子から演算増幅器 3 1 の負入力端子 (-) に至る信号経路に設けられた入力容量  $C_i$  ( $C_1$ ) を備える。また、演算増幅器 3 1 の負入力端子 (-) と出力端子との間に設けられた複数の容量素子からなる帰還容量  $C_f$  ( $C_2, C_3, C_4, \dots$  等) を備える。また、可変利得アンプ 105a の入力端子から入力容量  $C_i$  の他端に至る信号経路を短絡し、或いは開放する第1のスイッチ素子 SW1、SW2 を備える。また、入力容量  $C_i$  の他端への参照電圧  $V_{ref}$  の入力をオンし、或いはオフする第2のスイッチ素子 SW3 を備える。また、演算増幅器 3 1 の負入力端子 (-) と出力端子との間を短絡し、或いは開放する第3のスイッチ素子 SW4 を備える。

演算増幅器 3 1 の増幅利得の調整は以下のように行なうことができる。

即ち、帰還容量  $C_f$  を構成する  $C_2, C_3, C_4, \dots$  等の容量素子は、各容量素子の演算増幅器 3 1 の入出力間への接続及び非接続を制御するスイッチ素子 (SW5、SW6等) に接続されているので、スイッチ素子 (SW5、SW6等) を選択的に接続或いは非接続として適当な容量素子を選択し、演算増幅器 3 1 の入出力間に接続することができる。これにより、帰還容量  $C_f$  の容量値を加減して、帰還容量  $C_f$  に対する入力容量  $C_i$  の比 ( $C_i/C_f$ ) を調整す

る。これにより、演算増幅器 3 1 の増幅利得の調整が可能となる。

また、固体撮像装置は、行と列に配列された光電変換素子と、列毎に設けられ、列毎の光電変換素子の出力と接続する上記の可変利得アンプと、可変利得アンプの出力側に繋がって差信号をデジタル信号に変換するアナログ／デジタル変換回路を有している。この場合、可変利得アンプに入力する第 1 の信号電圧は光信号を電気信号に変換して得られたものである。また、第 2 の信号電圧は光電変換素子を初期化したときに得られたものである。

また、光信号読み出し方法によれば、第 1 の信号電圧を電荷に変換して蓄積し、第 2 の信号電圧を出力し、電荷に変換する。そして、蓄積された第 1 の信号電圧と電荷に変換された第 2 の信号電圧との差信号がデジタル符号化アナログ入力レベルの範囲内に入るような利得で差信号を増幅することを特徴としている。

このように、本発明によれば、アナログ信号電圧の振幅がデジタル符号化アナログ入力レベルの範囲よりも小さいときでも、アナログ信号電圧を増幅してデジタル符号化アナログ入力レベルの範囲に適合させることができる。これにより、アナログ信号電圧のデジタル化に際して、ダイナミックレンジを確保し、かつ S/N 比を向上させることができる。

また、上記した固体撮像装置は、光信号検出用 MOS トランジスタのチャネル下、ソース領域の周囲に光発生電荷を蓄積する高濃度埋込層を有している。そして画素 101 の出力端であるソースに定電流源などの能動負荷を接続しなくても光信号を読み出しえることを特徴としている。上記した固体撮像装置では、外部電源によりゲート電位は一定電位に保たれているので、表面電位は高濃度埋込層に蓄積された光発生ホールにより一意的に決まる。高濃度埋込層に蓄積された光発生ホールの状態はソース電位の影響を受けないので、信号読み出しの間にソース電位が変化しても高濃度埋込層に不要な帰還作用を及ぼさない。従って、ソースフォロワの負荷として、特性を揃えにくい定電流源を用いず、特性を揃えることが容易な容量のみを用いて表面電位を正確にソースに伝えることができる。これにより、固定パターンノイズを抑制しつつ信号読み出しが可能となる。

また、別の本発明によれば、Fig.7 に例示するように、少なくとも 2 つの列のアンプ 105a、105b 間、より詳しくは少なくとも 2 つの列のアンプ 105a、

105 b の演算増幅器 31 同士の負入力端子間にこれらの間を接続し、或いは非接続とする画素混合スイッチ素子 SM を設けている。この構成は、動画を扱う固体撮像装置の場合に最適である。

そして、上記構成で、画素混合スイッチ素子 SM をオンにして少なくとも 2 つの列の画素 101 からの信号を混合し、平均化することにより、間引き動作を行なうことができる。

この場合に、走査上間引きを行なっても、走査上間引きされた画素 101 位置における信号として平均化された信号が出力されるので、解像力の低下を防止することができる。また、サンプリング周波数は低下しないので折り返しノイズの発生を防止することができ、良質な画像が得られる。また、間引きに応じて信号処理回数が減るので、消費電力を低減することができる。

#### BRIEF DESCRIPTION OF THE DRAWING

Fig.1 は、従来例に係る固体撮像装置の回路の構成を示す図である。

Fig.2 は、この発明の第 1 の実施の形態に係る可変利得アンプを示す回路図である。

Fig.3 は、この発明の第 1 の実施の形態に係る可変利得アンプを備えた固体撮像装置の回路構成を示す図である。

Figs.4A, 4B は、Fig.3 の固体撮像装置の回路構成のうち信号処理回路（コラム型 ADC）の動作を示す図である。

Fig.5 は、この発明の第 1 の実施の形態の固体撮像装置を動作させる際のタイミングチャートである。

Fig.6 は、この発明の第 1 の実施の形態に係る固体撮像装置の差信号生成動作のタイミングチャートである。

Fig.7 は、この発明の第 2 の実施の形態に係る信号出力回路を備えた固体撮像装置の回路の構成を示す図である。

Fig.8 は、この発明の第 2 の実施の形態に係る固体撮像装置の画素混合動作のタイミングチャートである。

Fig.9 は、この発明の第 1 及び第 2 の実施の形態に係る固体撮像装置を構成する光センサアレイの画素内の素子構造を示す平面図である。

Fig.10は、同じく、Fig.9のI—I線に沿う断面図である。

### DESCRIPTION OF THE PREFERRED ENBODYMENT

以下に、本発明の実施の形態について図面を参照して説明する。

#### (第1の実施の形態)

##### (i) 可変利得アンプの構成

Fig.2を参照して、この発明の第1の実施の形態である可変利得アンプ105aの詳細な構成について説明する。この可変利得アンプ105aは2つの信号についての差信号を生成することができる増幅回路であり、特に差信号の大きさに応じて増幅率を変化させることができるという特徴を有する。

可変利得アンプ105aは、Fig.2に示すように、正入力端子(+)、負入力端子(-)及び出力端子を有する演算増幅器31を備えている。正入力端子(+)には参照電圧(Vref)が入力され、負入力端子(-)には、例えば、光センサアレイ100の光電変換素子101の出力である第1の信号電圧Vt及び第2の信号電圧Vnが入力される。出力端子からは、第2の信号電圧Vnを第1の信号電圧Vtから除いた差信号Vs( $=Vt - Vn$ )が出力される。

また、可変利得アンプ105aの入力端子から演算増幅器31の負入力端子に至る信号経路にスイッチ素子SW1及びSW2と、コンデンサC1からなる入力容量Ciとが直列接続されている。入力容量Ciの一端がスイッチ素子SW1、SW2を介して可変利得アンプ105aの入力端子と接続され、入力容量Ciの他端が演算増幅器31の負入力端子と接続されている。スイッチ素子SW1及びSW2が第1のスイッチ素子を構成する。

スイッチ素子SW1は単体のnチャネルMOSトランジスタからなり、スイッチ素子SW2は1以上のMOSトランジスタで構成された伝達ゲートからなる。ともに入力容量Ciの一端への入力信号の入力をオン／オフする。可変利得アンプ105aの入力端子に、例えば光電変換素子101の出力端が接続され、光電変換素子101を初期化するためにその出力端を通して大きな正の電圧を印加する場合に、第1のスイッチ素子のうちスイッチ素子SW1が有効に働き、可変利得アンプ105aへの高電圧の入力を阻止する。

入力容量  $C_i$  の一端には、スイッチ素子（第 2 のスイッチ素子）SW3 を介して参照電圧 ( $V_{ref}$ ) が接続されている。また、演算増幅器 3-1 の負入力端子 (-) と出力端子との間には、帰還容量  $C_f$  と、スイッチ素子（第 3 のスイッチ素子）SW4 とが並列接続されている。

帰還容量  $C_f$  は複数のコンデンサ  $C_2$ 、 $C_3$ 、 $C_4$  から構成されている。さらに、コンデンサ  $C_2$ 、 $C_3$ 、 $C_4$  のうちコンデンサ  $C_3$ 、 $C_4$  を任意に選択して帰還容量  $C_f$  の容量値を調整可能なように、各コンデンサ  $C_3$ 、 $C_4$  を演算増幅器 3-1 の負入力端子 (-) と出力端子の間に接続し、或いは非接続とする第 5 及び第 6 のスイッチ素子 SW5、SW6 が設けられている。

なお、帰還容量  $C_f$  を、接続が固定されたコンデンサ  $C_2$  のほかに、接続／非接続が選択可能な 3 つ以上のコンデンサから構成して、接続／非接続が選択可能な各コンデンサ  $C_3$ 、 $C_4$ 、…を演算増幅器 3-1 の負入力端子 (-) と出力端子の間に接続し、或いは非接続とする 3 つ以上の対応するスイッチ素子 SW5、SW6、…を設けることも可能である。

演算増幅器 3-1 の出力端子は、列毎にコラム型 ADC106 の入力に接続される。このとき、演算増幅器 3-1 から出力された差信号が次段のコラム型 ADC106 へのデジタル符号化アナログ入力レベルの範囲から外れている場合に、差信号がアナログ入力レベルの範囲内に入るよう増幅利得を調整する必要がある。このため、外部から自動的に或いは手動で、第 5 及び第 6 のスイッチ素子 SW5、SW6 のうち少なくとも何れか一を選択し、それらのオン／オフを制御する信号 (Gsel1, Gsel2) を供給する。即ち、演算増幅器 3-1 の増幅利得の調整は、演算増幅器 3-1 の負入力端子 (-) と出力端子との間に接続された帰還容量  $C_f$  に対する入力容量  $C_i$  の比 ( $C_i / C_f$ ) を調整することにより行なうことができる。この実施の形態では、帰還容量  $C_f$  はコンデンサ  $C_2$ 、 $C_3$ 、 $C_4$  の複数の容量素子から構成され、スイッチ素子 (SW5、SW6) をオン、オフして適当な容量素子を任意選択できるようにしている。

なお、図面では、上記のスイッチ素子 SW1 乃至 SW6 を模式的に記載しているが、上で説明したスイッチ素子 SW1 及び SW2 と同様に実際には 1 つ以上のトランジスタなどを用いて同じ機能を得ることができる。

### ( i i ) 固体撮像装置の構成

次に、Fig.2の可変利得アンプ105aを適用した固体撮像装置について説明する。

Fig.3は、この発明の第1の実施の形態である固体撮像装置の回路構成図である。この固体撮像装置は、Fig.3に示すように、光センサアレイ100と、信号出力回路107とを備えている。信号出力回路107は、Fig.2の可変利得アンプ105aを列毎に配置した差信号生成回路105と、コラム型アナログ／デジタル変換器（以下、コラム型ADCと称する。）106とを備えている。行に並ぶ画素（光電変換素子）101のMOSトランジスタを駆動して光の入射量に比例し、第2の信号電圧 $V_n$ 成分を含まないデジタル化された映像信号（ $V_{out1}, \dots, V_{outn}$ ）が行毎に信号出力回路107から出力される。

まず、光センサアレイ100について説明する。この光センサアレイ100は、2次元の構成を探っており、画素101が行方向及び列方向にマトリクス状に配列されている。

次いで、画素101内の素子構造について説明する。Fig.9は、画素101内における素子レイアウトについて示す平面図である。また、Fig.10は、Fig.9のI—I線に沿う断面図に相当する、画素内の素子断面の構造について示す断面図である。

画素101は、受光ダイオード111と光信号検出用MOSトランジスタ112とが隣接して設けられている。

これら受光ダイオード111とMOSトランジスタ112は、それぞれ異なるウエル領域、即ち第1のウエル領域15aと第2のウエル領域15bに形成され、それらのウエル領域15a、15bは互いに接続されている。受光ダイオード111が形成された第1のウエル領域15aは光照射による電荷の発生領域の一部を構成している。MOSトランジスタ112が形成された第2のウエル領域15bはこの領域15bに付与するポテンシャルによってチャネルの閾値電圧を変化させることができるゲート領域を構成している。

MOSトランジスタ112のドレイン領域17aはリング状のゲート電極19の外周部を取り囲むように形成され、ソース領域16はリング状のゲート電極1

9 の内周に囲まれるように形成されている。

ドレン領域 17a が延在して受光ダイオード 111 の不純物領域 17 が形成されている。即ち、不純物領域 17 と低濃度のドレン領域 17a とは互いに接続した第 1 及び第 2 のウエル領域 15a, 15b の表層に大部分の領域がかかるように一体的に形成されている。

さらに、この固体撮像素子の特徴であるキャリアポケット（高濃度埋込層）25 は、ゲート電極 19 下の第 2 のウエル領域 15b 内であって、ソース領域 16 の周辺部に、ソース領域 16 を取り囲むように形成されている。

ドレン領域 17a はコンタクト領域 17b を通してドレン電圧（VDD）供給線（又はドレン電極）22 と接続され、ゲート電極 19 は垂直走査信号（VSCAN）供給線 21 に接続され、ソース領域 16 は垂直出力線（又はソース電極）20 に接続されている。

また、上記画素 101 の構成要素は光透過性の絶縁膜により被覆されており、受光ダイオード 111 の受光窓 24 以外の領域は絶縁膜の上に形成された金属層（遮光膜）23 により遮光されている。

次に、Fig.2、Fig.3、Fig.9、Fig.10を参照して行と列に配列された画素 101 を駆動する周辺回路について説明する。図示していないが、センサアレイ 100 の周辺には画素 101 を走査する信号を供給する、垂直走査信号（VSCAN）の駆動走査回路及びドレン電圧（VDD）の駆動走査回路が配置されている。

垂直走査信号（VSCAN）の駆動走査回路から垂直走査信号供給線 21 が行毎に一つずつ接続され、各垂直走査信号供給線 21 は行方向に並ぶ全ての画素 101 内のMOSトランジスタ 112 のゲート 19 に接続されている。

また、ドレン電圧供給線（VDD 供給線）22 はドレン電圧（VDD）の駆動走査回路から行毎に一つずつ接続され、各ドレン電圧供給線（VDD 供給線）22 は、行方向に並ぶ全ての画素 101 内のMOSトランジスタ 112 のドレン 17a に接続されている。

また、列毎に異なる垂直出力線 20a, …, 20n が設けられて、各垂直出力線 20a, …, 20n は列方向に並ぶ全ての画素 101 内のMOSトランジスタ 112 のソース 16 にそれぞれ接続されている。また、各垂直出力線 20

a, . . . , 20nには画素101を初期化するための大きな正の電圧を供給する図示しない昇圧回路が接続されている。即ち、列毎に各画素101のMOSトランジスタ112のソース16に昇圧された電圧が印加される。昇圧された電圧はさらにMOSトランジスタ112のゲート-ソース間の容量を通して結果的にゲート19にかかる。これにより、ウエル領域15a、15bにかかる電界強度を増して、キャリアの掃き出しを促進することができる。

さらに、MOSトランジスタ112のソース16は垂直出力線20a, . . . , 20nを通して信号出力回路107の入力端と接続している。言い換えれば、ソース16は列毎に上記の差信号生成回路105内の可変利得アンプ105aの入力端に接続し、信号読み出しのときFig.2に示す入力容量C<sub>i</sub>に直結することになる。なお、Fig.3では省略しているが、実際には垂直出力線20a, . . . , 20nの途中にはスイッチ素子等が設けられて信号の流れを制御している。

差信号生成回路105の入力端に第1の信号電圧V<sub>t</sub>及び第2の信号電圧V<sub>n</sub>が入力され、差信号生成回路105の出力端子からは、画素101を初期化したときに発生する第2の信号電圧V<sub>n</sub>を第1の信号電圧V<sub>t</sub>から除いた差信号V<sub>s</sub>(=V<sub>t</sub>-V<sub>n</sub>)が出力される。さらに、差信号生成回路105の出力は列毎にコラム型ADC106の入力端に接続している。

差信号生成回路105においては、外部からの信号Gsel1, Gsel2により帰還容量C<sub>f</sub>の容量値を選択して差信号V<sub>s</sub>の大きさがデジタル符号化アナログ入力レベルの範囲内に適合するように利得調整することができ、出力端子からはアナログ出力レベルが調整された差信号V<sub>s</sub>又はV<sub>samp</sub>が出力される。

コラム型ADC106は、Fig.4A, Fig.4Bに示すように、不図示のコンパレタによりアナログ信号である差信号V<sub>s</sub>又はV<sub>samp</sub>を所定の勾配を有する比較ランプ電圧V<sub>L</sub>と比較し、不図示のパルスカウンタにより差信号V<sub>s</sub>又はV<sub>samp</sub>の大きさに対応するパルス計数値N<sub>c</sub>又はN<sub>ca</sub>に変換する。なお、パルス計数値N<sub>ca</sub>は、增幅利得を考慮した係数を乗じて実際の差信号V<sub>s</sub>に対応するパルス計数値N<sub>c</sub>に変換される。

デジタル化された映像信号は、行毎の画素並びに対応して、コラム型ADC106の出力端子から出力される。

以上のように、この発明の実施の形態の固体撮像装置によれば、光信号に対応する差信号をデジタル符号化アナログ入力レベルの範囲内に適合するような利得で增幅することができる。

また、上記した固体撮像装置は、画素 101 の出力端であるソース 16 に定電流源などの能動負荷を接続しなくても光信号を読み出し得ることを特徴としている。これは、信号検出用 MOS トランジスタ 112 がチャネル下、ソース領域 16 を囲むように光発生電荷（ホール）を蓄積する高濃度埋込層 25 を備えていることによる。この理由は、以下の通りである。

p 型の高濃度埋込層 25 のポテンシャル井戸に光発生ホールを蓄積して、空乏化したウエル領域 15b 内の負の空間電荷を変化させることにより、閾値が変調されて、MOS トランジスタ 112 の表面電位が決定される。このとき、外部電源によりゲート電位は一定電位に保たれているので、表面電位はポテンシャル井戸に蓄積された光発生ホールにより一意的に決まる。高濃度埋込層 25 に蓄積された光発生ホールの状態はソース電位の影響を受けないので、信号電荷蓄積容量を負荷とするソースフォロワを形成して信号を読み出す場合、たとえ信号読み出しの間にソース電位が変化しても高濃度埋込層 25 に不要な帰還作用を及ぼさない。従って、MOS トランジスタ 112 のソース領域 16 に定電流源を接続してソース-ゲート間の電位差を一定に保つ必要がないため、特性を揃えることが容易な容量のみをソースフォロワの負荷としても表面電位をソースに伝えることができる。

これにより、固定パターンノイズを抑制しつつ信号読み出しが可能となる。

#### ( i v ) 光信号の検出動作及び読み出し動作

次に、Fig.4 to Fig.6を参照して、本発明の第 1 の実施の形態に係る光信号の検出動作及び読み出し動作を説明する。

Fig.4A, Fig.4Bは、コラム型 ADC 106 の動作を示す図である。

Fig.5は、画素 101 に着目して、光信号の検出動作及び読み出し動作を説明するタイミングチャートである。上記した光信号検出用 MOS トランジスタが nMOS の場合に適用する。

Fig.6は差信号生成回路 105 を動作させるためのタイミングチャートを示す。

$V_{out1}$ 、 $\dots$ 、 $V_{outn}$ は信号出力回路 107 から出力されるデジタル化された映像信号を示す。

光信号の検出動作及び読み出し動作は、Fig.5に示すように、蓄積期間－読出期間－掃出期間（初期化期間）－ノイズ読出期間からなる一連の過程を繰り返し行う。

まず、Fig.5を参照して一連の動作を説明する。都合上、蓄積期間から説明を始める。また、必要により、Fig.2、Fig.3、Fig.9及びFig.10も適宜参照する。

蓄積期間では、受光ダイオード 111 に光照射を行って光発生ホールを発生させ、MOSトランジスタ 112 のチャネル領域下に転送し、高濃度埋込層 25 に蓄積させる。これにより、MOSトランジスタ 112 の閾値電圧が変化するので、次の読出期間においてその閾値電圧の変化をソース電圧  $V_{ps}$  として出力させる。

読出期間では、MOSトランジスタ 112 を動作させて光発生ホールの蓄積量に比例した光信号としてソース電圧  $V_{ps}$  を出力し、入力容量  $C_i$  に記憶させる。このソース電圧  $V_{ps}$  は光信号より電気信号に変換した信号電圧  $V_t$  を構成し、光の強度に応じた真の信号電圧成分  $V_s$  の他に第 2 の信号電圧成分  $V_n$  を含んでいる。

初期化期間では、スイッチ素子 SW1 を開放し、MOSトランジスタ 112 のソース領域 16 を通してゲート電極 19 及びドレイン領域 17a に高電圧を印加し、受光ダイオード 111 及び光信号検出用 MOSトランジスタ 112 から蓄積ホールを排出して画素 101 を初期化する。

ノイズ読出期間では、初期化された状態でのソース電圧  $V_{ps}$  を第 2 の信号電圧  $V_n$  として画素 101 から出力し、信号出力回路 107 に入力させて第 2 の信号電圧  $V_n$  を除去した差信号  $V_s$  ( $= V_t - V_n$ ) を取り出す。

ノイズ読出期間終了後に再び上記した蓄積期間に戻る。

次に、Fig.6を参照し、差信号生成回路 105、特にFig.2の可変利得アンプ 105a に着目して、蓄積期間－読出期間－掃出期間（初期化期間）－ノイズ読出期間からなる一連の過程に対応させながら、デジタル化された差信号  $V_s$  の生成動作について詳細に説明する。

蓄積期間では、信号 SCM, CLM をいずれも High レベル（以下、H レベルと

称する。)として、スイッチ素子 SW 2, SW 4 をオン状態とし、かつ信号 Load, RSM をいずれも Low レベル(以下、L レベルと称する。)として、スイッチ素子 SW 1, SW 3 をオフ状態とする。

蓄積期間の終了時の期間(入力容量初期化期間)に、信号 Load, SCM, RSM, CLM, Gsel1, Gsel2 をいずれも H レベルとして、スイッチ素子 SW 1, SW 2, SW 3, SW 4, SW 5, SW 6 をオン状態とし、入力容量  $C_i$  であるコンデンサ C 1、帰還容量  $C_f$  であるコンデンサ C 2、C 3、C 4 の電荷を初期化する。

その後、センサ信号読み込み期間(読み出期間)では、信号 RSM を L レベルとして、スイッチ素子 SW 3 をオフ状態とする。他のスイッチ素子 SW 1, SW 2, SW 4 は前の状態のまま保持する。これにより、可変利得アンプ 105a の入力容量  $C_i$  に、それぞれ画素 101 からの第 1 の信号電圧  $V_t$  が供給される。但し、この第 1 の信号電圧  $V_t$  には、光信号成分  $V_s$  と第 2 の信号電圧成分  $V_n$  が含まれている。

このとき、可変利得アンプ 105a の入力容量  $C_i$  の両側の電位差は  $V_t - V_{ref}$  となる。そして、スイッチ素子 SW 4 がオン状態であるので、可変利得アンプ 105a の演算増幅器 31 の出力は  $V_{ref}$  となる。

画素初期化期間(初期化期間)では、信号 Load, SCM を L レベルとして、スイッチ素子 SW 1, SW 2 をオフ状態とする。他のスイッチ素子 SW 3, SW 4 は前の状態のまま保持する。この間に、画素 101 の出力端に高い電圧を供給し、画素を初期化する。即ち、受光ダイオード 111 及び MOS トランジスタ 112 内の蓄積電荷を空にする。

その後、ノイズ読み出期間では、立ち上がり時の期間(信号線初期化期間)に、図示しないスイッチ素子を介して垂直出力線 20a, …, 20n を接地電位とし、信号 SCM を L レベルとして、スイッチ素子 SW 2 をオフ状態のまま保持する。さらに、信号 CLM を L レベルとして、スイッチ素子 SW 4 をオフ状態にするとともに、信号 Gsel1 を H レベルとして、スイッチ素子 SW 5 をオン状態にして容量素子 C 3 を選択し、帰還容量  $C_f$  を入力容量  $C_i$  と等しくなるように設定する。ここでは、入力容量  $C_i$  の容量値と等しい容量値を  $C_2 + C_3$  とする。さ

らに、信号Load, RSMをHレベルとして、スイッチ素子SW1, SW3をオンにする。これにより、可変利得アンプ105a内の信号線に蓄積されている電荷を初期化する。また、入力容量Ciの一端側がVrefとなるため入力容量Ciに蓄積されていた電荷 $C_i \cdot (V_t - V_{ref})$ が帰還容量Cf( $= C_2 + C_3$ )に転送される。入力容量Ciの両端の電位差は0となる。

信号線初期化期間の経過後、信号SCMをHレベルとして、スイッチSW2をオン状態にするとともに、信号RSM, CLMをLレベルとして、スイッチSW3, SW4をオフ状態にする。また、信号Gsel1をHレベルとして、SW5をオン状態にして容量素子C3を選択する。これにより、可変利得アンプ105aの入力容量Ciの両端の電位差が0からVn-Vrefに変化する。これに対応する電荷 $C_i \cdot (V_t - V_n) / C_f (= V_s)$ が帰還容量Cfにも蓄積され、演算増幅器31の出力は差信号Vsを含む信号電圧( $V_{ref} - V_s$ )となる。

次いで、差信号Vsとデジタル符号化アナログ入力レベルの範囲と比較する。差信号Vsの大きさがデジタル符号化アナログ入力レベルの範囲のときには、コラム型ADC106にそのまま出力する。

一方、差信号Vsの大きさが、例えばデジタル符号化アナログ入力レベルの範囲の下限値よりも小さいときには、外部からの信号により、差信号Vsの大きさがその下限値よりも大きくなるような利得で差信号Vsが増幅されるように、帰還容量Cfの容量値を選択する。ここでは、必要な增幅利得が得られる容量値を $C_2 + C_4 (< C_2 + C_3)$ とすると、Gsel1をLレベルとしてSW5をオフ状態にするとともに、Gsel2をHレベルとしてSW6をオン状態にし、帰還容量Cfとして容量素子 $C_2 + C_4$ を選択する。

そして、入力容量Ci及び帰還容量Cfを初期化した後、新たに第1の信号電圧 $V_t$ を入力容量Ciに入力して電荷に変換し、続いて、帰還容量Cfに転送する。続いて、第2の信号電圧 $V_n$ を入力容量Ci及び帰還容量Cfに入力して電荷に変換する。即ち、可変利得アンプ105aの入力容量Ciである容量素子C1の両側の電位差が $V_t - V_{ref}$ から0を経て $V_n - V_{ref}$ に変化する。これに対応する電荷 $C_i \cdot (V_t - V_n) / C_f (= V_{s\ amp})$ が帰還容量Cfである容量素子( $C_2 + C_4$ )にも蓄積され、演算増幅器31の出力から増幅された差信号

$V_{\text{amp}}$ を含む信号電圧 ( $V_{\text{ref}} - V_{\text{amp}}$ ) が出力される。

そして、差信号  $V_s$  又は  $V_{\text{amp}}$  を Fig.3 に示すコラム型 ADC 106 に入力させて、デジタル信号に変換させる。さらに、このデジタル信号を映像信号としてコラム型 ADC 106 の出力端子から出力する。

ここで、本発明においては、各列毎にアンプを有することから、このアンプ毎に固有のオフセット値を持ち、このためコラム型 ADC 106 出力が各列毎にオフセット成分を含むことが予想されるが、このオフセット成分は予めデジタル化してメモリしておき、帰線消去期間におけるオプチカルブラック信号検出において補正信号として加算し、差信号のデジタル信号との間でデジタル演算することにより容易に除去することができる。

以上、第 1 の実施の形態によりこの発明を詳細に説明したが、この発明の範囲は上記実施の形態に具体的に示した例に限られるものではなく、この発明の要旨を逸脱しない範囲の上記実施の形態の変更はこの発明の範囲に含まれる。

また、差信号を比較する基準として、デジタル符号化アナログ入力レベルの範囲を用いているが、これに限られない。

#### (第 2 の実施の形態)

##### (i) 固体撮像装置の構成

Fig.7を参照して本発明の第 2 の実施の形態における固体撮像装置の構成について説明する。Fig.7は、本発明の第 2 の実施の形態における固体撮像装置の回路構成図である。

この固体撮像装置において、第 1 の実施の形態と異なるところは、Fig.7に示すように、差信号生成回路 105 内に列毎に設けられた可変利得アンプ 105a、105b、・・のうち、一つの列の可変利得アンプ 105a の演算増幅器 31 の負入力端子 (-) と、隣の列の可変利得アンプ 105b の演算増幅器 31 の負入力端子 (-) とが、スイッチ素子（画素混合スイッチ素子）SM を介して接続されていることである。

この実施の形態の光センサアレイ 100 の画素 101 の配列は、ベイヤ方式の基本形の色フィルタアレイ配列となっている。この色フィルタアレイ配列では、隣接する 4 つの領域に R, G, B が配列され、かつ同一色の G が斜めに配列され

ている。上記した可変利得アンプ 105a、105bにはこれらのGの画素 101 の垂直出力線 20a、20bが接続されている。

この回路構成では、スイッチ素子SMを非接続状態にすることで第1の実施の形態と同じ回路構成となり、その回路を第1の実施の形態と同じように動作させることができる。また、切り替え信号MODEによりスイッチ素子SMを接続することで、2つの列の隣接する前記Gの差信号を混合し、それらの列の出力に平均化された映像信号を出力させることができる。

なお、上記では、画素 101 から出力された信号電圧のアンプとして可変利得アンプ 105a、105bを用いているが、利得調整が不要な場合には可変利得アンプ 105a、105bから容量素子C3、C4、及びスイッチ素子SW5、SW6を取り除いたものを用いることができる。

#### ( i ) 光検出動作

次に、図面を参照して第2の実施の形態である固体撮像装置の光検出動作を説明する。

この実施の形態の固体撮像装置においては、第1の実施の形態と同じ通常の動作と間引き動作における画素混合とを行うことが可能である。通常の動作を行うには、上記したように、スイッチ素子SMを非接続状態として、第1の実施の形態の回路構成と同じにし、第1の実施の形態と同様に動作させる。これにより、レベル調整された映像信号を出力させることができる。

次に、画素混合の動作について説明する。Fig.8はFig.7の差信号生成回路105を用いて画素混合を行なうためのタイミングチャートを示す。説明においては、必要により、Fig.7も参照する。この場合、帰還容量Cfとして容量素子C2、C3、C4のうちC2のみを用いるものとする。

この実施の形態の画素混合の動作を含む光信号読出し動作においては、光発生ホールの蓄積動作、入力容量Ciの初期化動作、センサ信号（第1の信号電圧）Vta、Vtbの読み込み動作、画素のリセット動作、信号線の初期化動作及びノイズ読出し動作を順に繰り返し行う。画素混合の動作はノイズ読出し動作のときに行う。

まず、光発生ホールの蓄積動作から信号線の初期化動作までは、画素混合スイ

スイッチ素子 S M が非接続とされて、第 1 の実施の形態の Fig.6 で説明した動作と同様な動作を行う。これにより、可変利得アンプ 105a の帰還容量 C f に電荷 C i · (V ta - V ref) が蓄積され、可変利得アンプ 105b の帰還容量 C f に電荷 C i · (V tb - V ref) が蓄積されるとともに、入力容量 C i を含む信号線が初期化された状態となる。

次いで、ノイズ読出し動作に移行し、信号 MODE を H レベルとしてスイッチ素子 S M を接続し、2 つの列の可変利得アンプ 105a、105b に係る演算増幅器 31 の負入力端子同士を接続する。これにより、画素混合が可能な状態となる。このとき、同時に、スイッチ素子 SW1 を接続し、かつスイッチ素子 SW4 を開放状態に保持したまま、信号 SCM を H レベルとしてスイッチ素子 SW2 を接続し、信号 RSM を L レベルとしてスイッチ素子 SW3 を開放する。これにより、画素 101 からの第 2 の信号電圧 Vna、Vnb が入力可能な状態となる。

可変利得アンプ 105aにおいては、画素 101 からの第 2 の信号電圧 Vna の入力により、コンデンサ C1 の両端の電位差が 0 から Vna - Vref に変化し、C2 の両端の電位差が C1 · (Vta - Vna) / C2 に変化するはずである。また、可変利得アンプ 105bにおいては、画素 101 からの第 2 の信号電圧 Vnb の入力により、コンデンサ C1 の両端の電位差が 0 から Vnb - Vref に変化し、C2 の両端の電位差が C1 · (Vtb - Vnb) / C2 に変化するはずである。この場合、スイッチ素子 S M により可変利得アンプ 105a、105b 相互の C2 の入力端が接続されているので、各々の C2 に別々に蓄積されるはずの電荷が混合され、平均化されるので、各々の C2 の両端の電位差  $\Delta V_0$  は略 C1 / C2 · ((Vta - Vna) + (Vtb - Vnb)) / 2 となる。また、各演算増幅器 31 の出力は Vref -  $\Delta V_0$  となる。この後、適宜信号処理して G の映像信号を映像信号出力端子から出力する。

ところで、従来の一般的な固体撮像装置では、サンプリング画素を間引きするため、MTF が劣化してモアレの多い画像になったり、折り返しノイズが発生したりする。また、イメージセンサを高速で動作させる必要があるため、消費電力が大きくなってしまう。

これに対して、本実施の形態では、スイッチ素子 S M を接続することにより、

少なくとも2つの列の同一色の画素信号を混合し、平均化して間引きに係る映像信号を生成している。従って、間引きを行なっても、サンプリングに伴うMTFの劣化を防ぐことができる。また、走査上間引きされた画素101位置における平均化された映像信号が出力されるので、サンプリング周波数は低下しない。これにより、折り返しノイズの発生を防止することができる。

また、間引きに応じて信号処理回数が減るので、消費電力の増大が回避される。

さらに、内部スイッチ素子SMの切り替えのみで通常の動作と間引き動作を行うことができるというように、簡単な手段で信号出力回路の多機能化を図ることができる。

以上、第2の実施の形態によりこの発明を詳細に説明したが、この発明の範囲は上記実施の形態に具体的に示した例に限られるものではなく、この発明の要旨を逸脱しない範囲の上記実施の形態の変更はこの発明の範囲に含まれる。

例えば、上記の第2の実施の形態では、画素の色配列としてベイヤ方式の基本形の色フィルタアレイ配列を用いているが、他の方式の色フィルタアレイ配列を用いることも可能である。

また、この発明が適用される固体撮像装置に用いる光電変換素子として種々の変形例を適用可能である。これは、第1の実施の形態でも同様である。それらの実施の形態では、特に、特許（特許登録番号2935492号）に記載の光電変換素子と同じ構造の光電変換素子を用いているが、出力に容量を直結しても正確な信号電圧が得られるような他の構造の光電変換素子を用いることができる。

また、p型の基板11上のn型のエピタキシャル層12内に第1及び第2のウエル領域15a、15bを形成しているが、n型のエピタキシャル層12の代わりに、p型のエピタキシャル層にn型不純物を導入してn型ウエル層を形成し、このn型ウエル層内に第1及び第2のウエル領域15a、15bを形成してもよい。

以上説明したように、本発明によれば、アナログ差信号の振幅が適度なデジタル符号化アナログ入力レベルの範囲よりも小さいときでも、アナログ差信号を増幅してデジタル符号化アナログ入力レベルの範囲に適合させることができる。

これにより、アナログ差信号のデジタル化に際して、ダイナミックレンジを確保し、かつS/N比を向上させることができる。

また、上記した固体撮像装置は、光信号検出用MOSトランジスタのチャネル下、ソース領域の周囲に光発生電荷を蓄積する高濃度埋込層を有し、画素の出力端であるソースに定電流源などの能動負荷を接続しなくても光信号を読み出し得ることを特徴としている。従って、ソースフォロワの負荷として、特性を揃えにくい定電流源を用いず、特性を揃えることが容易な容量のみを用いても表面電位を正確にソースに伝えることができる。これにより、固定パターンノイズを抑制しつつ信号読み出しが可能となる。

さらに、本発明の1つの態様によれば、行及び列に配列された画素と、画素からの出力信号を処理する、列毎に設けられたアンプとを有し、かつ少なくとも2つ列のアンプの演算増幅器の入力端子間に画素混合スイッチ素子を設けており、間引き動作時にこのスイッチ素子を接続して少なくとも2つの列の画素信号を混合し、平均化して各画素の映像信号として出力しているので、折り返しノイズのない画像、即ちモアレのない画像を得ることができ、消費電力も低減させることができる。